

DIALOG(R)File 347:JAPIO(c) 1997 JPO & JAPIO. All rts. reserv.

02201676 SEMICONDUCTOR DEVICE

PUB. NO.: 62-118576 [JP 62118576 A]

PUBLISHED: May 29, 1987 (19870529)

INVENTOR(s): TOMITA YUTAKA

APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 60-258863 [JP 85258863]

FILED: November 18, 1985 (19851118)

ABSTRACTPURPOSE: To reduce lateral diffusion of a drain region and a source region and to decrease parasitic electrostatic capacitances between a substrate and the drain region and the source region, by providing an MOS typesemiconductor element, in which insulating regions are provided between thefacing side surfaces of the drain region and the source region.

CONSTITUTION: In an MOS type semiconductor element, insulator regions 4 areprovided between the facing side surfaces of a drain region 2 and a sourcereion 3 on a semiconductor substrate 1. It is desirable that saidinsulator regions 4 are provided between the facing side surfaces between the source region 4 and the drain region 2 other than a region 6, which isto become a channel. It is advantageous to form said insulator regions 4with silicon oxide or silicon nitride in a semiconductor device using asilicon substrate. Thus, the depth of the junction of the drain region 2 adthe source region 3 is not affected by the channel length owing to thepresence of the insulator regions 4. The channel region 6 is formed afterthe drain region 2 and the source region 3 are approximately completed. Therefore the effect of the lateral expansion of the source region 3 andthe drain region 2 on the channel length is made small to the extent of thedepth of the channel region.

⑫ 公開特許公報(A)

昭62-118576

⑤ Int.Cl.⁴

H 01 L 29/78

識別記号

庁内整理番号

8422-5F

④ 公開 昭和62年(1987)5月29日

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 半導体装置

⑭ 特 願 昭60-258863

⑮ 出 願 昭60(1985)11月18日

⑯ 発 明 者 富 田 豊 東京都港区芝5丁目33番1号 日本電気株式会社内
⑰ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
⑱ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

- (1) 半導体基板上のドレイン領域とソース領域で対向する側面間に絶縁物領域を有するMOS型半導体素子を少くとも一つ具備することを特徴とする半導体装置。
- (2) ドレイン領域とソース領域で対向する側面間に形成した絶縁物領域はチャンネル領域を除く両領域の側面領域を少なくとも全て覆っている特許請求の範囲第(1)項記載の半導体装置。
- (3) シリコンを基板として形成した絶縁物領域が酸化シリコン、又は窒化シリコン膜である特許請求の範囲第(1)項又は第(2)項記載の半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、半導体装置に関し、特に高速で動作し、かつ微細加工に適し、大規模集積回路化に適した構造を有するMOS型半導体素子を少くとも一つ含む半導体装置に関する。

〔従来の技術〕

従来、高速で動作し微細加工に適する半導体装置の代表的な素子の例として、シリコンゲート型MOSトランジスタがあり、例えばエル・エル・ヴァダス(L. L. Vadasg), エイ・エス・グロブ(A. S. Grove), ティー・エイ・ロウエ(T. A. Rowe)及びジー・イー・ムーア(G. E. Moore)の論文"シリコン・ゲート・テクノロジー(Silicon-gate technology)," アイ・イー・イー・スペクトラム(IEEE Spectrum), 6, P28, Oct 1969 に掲載されている。

従来のシリコンゲート型MOSトランジスタでは、シリコンゲートのセルフアラインでソース領域、ドレイン領域の不純物を、選択的に形成可能

で、ゲート電極とドレイン領域、ソース領域との重なりはドレイン領域とソース領域の半導体基板中の接合の深さと同程度の距離に自動位置合せが出来る様になっていた。

〔発明が解決しようとする問題点〕

上述した半導体装置では、構成要素となるシリコンゲート型MOSトランジスタのゲート電極によるセルフアラインでソース領域とドレイン領域が得られたが、ソース領域とドレイン領域は金属配線層と結合する必要がある、ソース領域とドレイン領域はある程度半導体基板中の接合深さが必要であった。例えば、シリコン素子で金属配線がアルミニウムである場合 0.3μ 程度以上の接合の深さが必要である。それ以上浅いとアロイスバイクにより接合が破壊される恐れがあるからである。従ってゲート電極幅は所望するチャンネル長より 0.6μ 程度長くなり素子寸法がそれだけ大きくなる欠点があった。

従来は、前述ゲートによるセルフアラインでゲート電極をソース領域、ドレイン領域に位置合せ

する必要がなく、それだけ位置合せの余裕をもつ必要がなくなり微細化に適し高速動作する素子が得られる有効な手段であった。しかし、近年は位置合せ精度は技術進歩に従って 0.05μ 程度迄、99%以上の確率で達成可能となった為、むしろこの接合の深さによる素子寸法増大が問題となってきた。

また、ドレイン領域、ソース領域の接合の深さは拡散層を形成する時の熱処理により決定するので製造条件により $0.05\sim 0.2\mu$ 程度以上のばらつきが生じることも多く短チャンネル化に伴って素子の耐圧不良を発生することがあった。

また、ソース領域、ドレイン領域と基板間に寄生静電容量が存在し高速での動作能力を低下させる欠点もあった。

〔問題点を解決するための手段〕

本発明の半導体装置は、ドレイン領域とソース領域の対向する側面に絶縁物領域を有するMOS型半導体素子を有して構成される。

なお前述の絶縁物領域は、チャンネルとなる領

- 3 -

域以外の少くとも全てのソース領域とドレイン領域の対向する側面に存在することが好ましい。

また、前述の絶縁物領域はシリコン基板を用いる半導体装置では酸化シリコンか窒化シリコンで形成するのが好都合である。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明の一実施例の縦断面図である。第1図に示すように、本実施例では、半導体基板1上のドレイン領域2とソース領域3の間に絶縁物領域4があり、前述絶縁物4上にチャンネルとなる領域6があり、チャンネル上にゲート電極7がある。層間絶縁膜8にドレイン領域とソース領域に金属配線層10とを導通させる為にコンタクト孔9が形成されている。素子間分離の為に絶縁物層5が形成されている。ドレイン領域2、ソース領域3の接合の深さは前述の絶縁物領域4の存在でチャンネル長に影響していない。後述する様に本発明の半導体装置の素子の場合、チャンネル

領域6はドレイン領域2、ソース領域3をほぼ形成した後形成出来る為、ソース領域、ドレイン領域のチャンネル長に与える横拡がりの影響はチャンネル領域の深さ程度である。

第2図(a)~(d)は第1図に示した本発明の一実施例の製造方法を説明するために工程順に示した半導体ペレットの縦断面図である。本実施例は次の工程により作成することが出来る。

まず、第2図(a)に示すようにP型のシリコン基板11に200~300KeVの高エネルギーで酸素粒子ビームを選択的に14、15で示す領域にシリコン基板11、表面から 0.5μ 程度の深さに打ち込み1000℃程度の窒素雰囲気中で熱処理を行い14、15の領域を酸化する。

次に、第2図(b)に示すように、後チャンネル領域とシリコン基板11を同一導電型にする為にホトレジスト21でマスクした後、全面にヒ素を $50\sim 100\text{KeV}$ 程度で $1\times 10^{15}\sim 1\times 10^{16}\text{atm./cm}^2$ 程イオン注入する。その後950℃程の窒素雰囲気中で熱処理を行って接合の深さを 0.2μ 程にす

- 5 -

- 6 -

る。

次に、第2図(c)に示すようにホトレジスト21を除去し全面に多結晶シリコン膜500Å程成長し、不要の多結晶シリコンを除去した後レーザ光線にてアニールして多結晶シリコンを単結晶シリコン化すると同時にシリコン基板11よりヒ素を前述の単結晶化したシリコン中に拡散しドレイン領域12、ソース領域13を形成する。その後、単結晶化したシリコン層でチャンネル領域となる領域23をシリコン基板11と同電導化する為に150 KeV程のエネルギーでホウ素を $10^{11} \sim 10^{13} \text{ at/cm}^2$ 程イオン注入する。

次に、第2図(d)に示すように200Å程のゲート酸化膜22を形成し多結晶シリコンゲート電極17を形成する。多結晶シリコンゲート電極の位置合せ精度は前述の様に近年は0.05μ程の精度でも実現可能となっている。次いで、スパッタ酸化膜やBPSG膜などにより層間絶縁膜を形成することで表面を平坦化した後、コンタクト孔19を形成し金属配線20を形成すると本発明の構造が

- 7 -

得られる。

本実施例で最終的なドレイン領域12、ソース領域13の接合の深さは0.3μ程で、ドレイン領域、ソース領域の横方向への拡散はそれぞれ0.05μ程である。従来のシリコンゲート型MOSトランジスタの場合前述横拡がりは、0.3μ位と考えられる。

尚、シリコン基板はN型でもよく、その時は、ドレイン領域、ソース領域を形成する不純物はホウ素でよいことは言うまでもない。

〔発明の効果〕

以上説明した様に、ソース領域、ドレイン領域の対向する側面に絶縁膜層を形成することによりドレイン領域、ソース領域の横方向の拡散を、前述シリコン素子の場合で6分の1程(0.3→0.05μ)に低減出来、かつ基板とドレイン領域、ソース領域の寄生静電容量を50%程低減出来る効果がある。

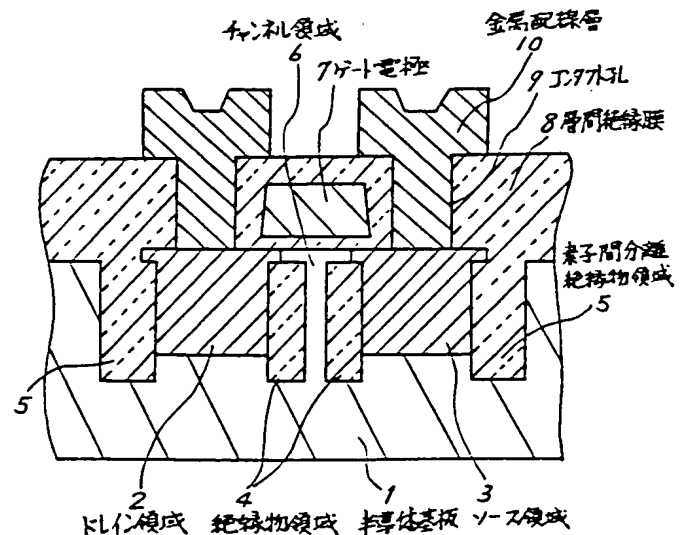
- 8 -

4. 図面の簡単な説明

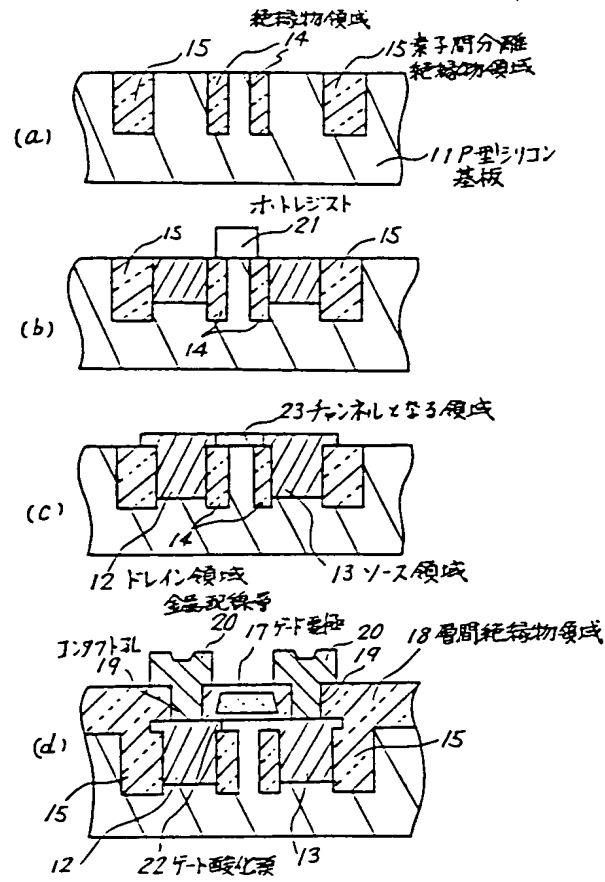
第1図は本発明の一実施例の縦断面図、第2図(a)～(d)は第1図に示した本発明の一実施例の製造方法を説明するために工程順に示した半導体ベレットの縦断面図である。

1……半導体基板、2……ドレイン領域、3……ソース領域、4……絶縁物領域、5……素子間分離の絶縁物領域、6……チャンネル領域、7……ゲート電極、8……層間絶縁膜、9……コンタクト孔、10……金属配線層、11……P型シリコン基板、12……ドレイン領域、13……ソース領域、14……絶縁物領域、15……素子間分離の絶縁物領域、17……ゲート電極、18……層間絶縁物領域、19……コンタクト孔、20……金属配線層、21……ホトレジスト、22……ゲート酸化膜、23……チャンネルとなる領域。

代理人 弁理士 内 原 晋



第 1 図



第 2 図